

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1046 U.S. PRO
10/074042
02/14/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出 願 年 月 日

Date of Application:

2001年 2月22日

出 願 番 号

Application Number:

特願2001-045899

出 願 人

Applicant(s):

沖電気工業株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

NAMURA

32178-178296

2-14-02



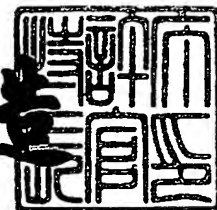
26694

PATENT TRADEMARK OFFICE

2001年12月28日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3112042

【書類名】 特許願

【整理番号】 SA003607

【あて先】 特許庁長官殿

【国際特許分類】 H04L 12/48

【発明者】

 【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

 【氏名】 苗村 孝

【特許出願人】

 【識別番号】 000000295

 【氏名又は名称】 沖電気工業株式会社

【代理人】

 【識別番号】 100082050

 【弁理士】

 【氏名又は名称】 佐藤 幸男

【手数料の表示】

 【予納台帳番号】 058104

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9100477

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 通信制御装置

【特許請求の範囲】

【請求項 1】 入力される同一コネクションに属するセルを集めて、当該コネクションのフレームを組み立て、フレームデータとして出力する通信制御装置において、

各々の領域が、取り扱うコネクションの最大フレーム長に設定されたフレーム組立用メモリと、

新たなコネクションのセルが入力された場合は、前記フレーム組立用メモリの空いている領域に、当該コネクションを割り当てて前記セルを書き込むと共に、既にいずれかの領域に割り当てているコネクションと同一コネクションのセルが入力された場合は、当該割り当てている領域に書き込み、一方、任意のコネクションのセルが入力され、かつ、同一コネクションの領域でセルが 1 フレーム分書き込まれていた場合は、他の新たな領域に当該コネクションを割り当てて前記セルを書き込むメモリ書込制御部と、

前記フレーム組立用メモリから、前記 1 フレーム分集まったセルを読み出し、これを完成したフレームデータとして出力するメモリ読出制御部とを備えたことを特徴とする通信制御装置。

【請求項 2】 請求項 1 に記載の通信制御装置において、

同一コネクションのセルが入力される毎に、当該コネクションの 1 フレームのうち前記セルまでのデータの正当性演算を行い、1 フレーム分セルが書き込まれた時点で、最後のセルまでのデータの正当性に誤りがあった場合は、当該フレームを破棄するメモリ書込制御部を備えたことを特徴とする通信制御装置。

【請求項 3】 請求項 1 または 2 に記載の通信制御装置において、

フレームを構成する各セル毎の情報の論理演算結果に基づいて当該フレームの論理演算結果が決定される場合、

同一コネクションのセルが入力される毎に、当該コネクションの 1 フレームのうち前記セルまでのデータの論理演算を行い、1 フレーム分セルが書き込まれた時点で、最後のセルまでの論理演算結果を出力するメモリ書込制御部を備えたこ

とを特徴とする通信制御装置。

【請求項 4】 請求項 1～3 のいずれかに記載の通信制御装置において、

同一コネクションのセルが入力される毎に、当該コネクションの一つ前に入力されたセルとの到着間隔を測定し、当該到着間隔が所定値を超えていた場合は、当該セルが属するコネクションのフレームを破棄するメモリ書込制御部を備えたことを特徴とする通信制御装置。

【請求項 5】 請求項 1～3 のいずれかに記載の通信制御装置において、

同一コネクションのフレームに属する最初のセルと最終のセルとの到着間隔を測定し、当該到着間隔が所定値を超えていた場合は、当該フレームを破棄するメモリ書込制御部を備えたことを特徴とする通信制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、主として非同期転送モード（Asynchronous Transfer Mode：以下、ATMと称する）通信システムにおいて用いられる通信制御装置に係わり、特に、複数のVPおよびVC（Virtual PathおよびVirtual Channel：以下、両者を統合してVCと呼ぶ）に属する固定長のATMセルを取り扱い、VC毎に比較的大きな（1セルペイロード長以上の）可変長情報フレームを組み立てるためのメモリの制御を行う通信制御装置に関するものである。

【0002】

【従来の技術】

種々の情報のフレームを固定長のATMセルに分解して送信し、受信側でATMセルから元のフレームを組み立てることにより情報の授受を行う通信装置が存在する。この種の通信装置において、受信側では、様々なATMセルを受け取ってこれらのATMセルをメモリに一旦格納し、再び組み立ててフレームを形成している。

【0003】

従来、この種の装置では、例えば、特開平5-110583号公報における図2の構成や、特開平10-285173号公報の図3に示されているものがあっ

た。これらの構成は、メモリ内をコネクション毎に対応する領域に事前に分割しておき、例えば、コネクションAに属するATMセルを受信した場合はコネクションA用のメモリ領域へ、コネクションBに属するセルを受信した場合にはコネクションB用のメモリ領域へというように、そのセルデータを書き込むことにより、コネクション毎のデータを集積していきフレームの組立を実現している（これを従来技術1とする）。

【0004】

また、他の方法としては、メモリ内をコネクション毎に領域分割することをせず、受信したセルをそのままの順序でメモリ内へ書き込んでいき、そのセルデータの付属情報（どのコネクションに属するか等）は別途管理しておくという方法があった（これを従来技術2とする）。

【0005】

【発明が解決しようとする課題】

しかしながら、上記従来の技術によりフレームの組立用メモリを制御した場合には次のような問題があった。

●従来技術1に関して、ある狭い時間内において同一コネクションのセルを集中して受信した場合に、メモリ全体としてはほとんど空き領域であるにも拘わらず、当該コネクション用領域だけが一杯になってしまい、オーバフローを起こしてしまうことがあり、メモリの有効利用という観点から見ると、問題点を有していた。

【0006】

●従来技術1に関して、ATMセルが本来対応可能な 2^{28} （VPI+VCI=28ビット）ものコネクション数に、メモリ領域も対応させるのは現実的でないため、システム上取り扱うことのできるコネクションナンバに関して何らかの制約をかける（使用可能なコネクションナンバの範囲を限定する、コネクションナンバを装置内でのみ有効なローカルIDに変換する等）必要があるという問題があった。

【0007】

●従来技術2に関しては、上記同一コネクション集中時にもメモリを有効利用

できるが、フレーム組立情報を別途管理しておく必要があり、ハードウェアが複雑になってしまうという問題点があった。

【0008】

【課題を解決するための手段】

本発明は、前述の課題を解決するため次の構成を採用する。

〈構成1〉

入力される同一コネクションに属するセルを集めて、そのコネクションのフレームを組み立て、フレームデータとして出力する通信制御装置において、各々の領域が、取り扱うコネクションの最大フレーム長に設定されたフレーム組立用メモリと、新たなコネクションのセルが入力された場合は、フレーム組立用メモリの空いている領域に、そのコネクションを割り当ててセルを書き込むと共に、既にいずれかの領域に割り当てているコネクションと同一コネクションのセルが入力された場合は、割り当てている領域に書き込み、一方、任意のコネクションのセルが入力され、かつ、同一コネクションの領域でセルが1フレーム分書き込まれていた場合は、他の新たな領域にそのコネクションを割り当ててセルを書き込むメモリ書込制御部と、フレーム組立用メモリから、1フレーム分集まったセルを読み出し、これを完成したフレームデータとして出力するメモリ読出制御部とを備えたことを特徴とする通信制御装置。

【0009】

〈構成2〉

構成1に記載の通信制御装置において、同一コネクションのセルが入力される毎に、そのコネクションの1フレームのうちセルまでのデータの正当性演算を行い、1フレーム分セルが書き込まれた時点で、最後のセルまでのデータの正当性に誤りがあった場合は、そのフレームを破棄するメモリ書込制御部を備えたことを特徴とする通信制御装置。

【0010】

〈構成3〉

構成1または2に記載の通信制御装置において、フレームを構成する各セル毎の情報の論理演算結果に基づいてフレームの論理演算結果が決定される場合、同

一コネクションのセルが入力される毎に、そのコネクションの1フレームのうちセルまでのデータの論理演算を行い、1フレーム分セルが書き込まれた時点で、最後のセルまでの論理演算結果を出力するメモリ書込制御部を備えたことを特徴とする通信制御装置。

【0011】

〈構成4〉

構成1～3のいずれかに記載の通信制御装置において、同一コネクションのセルが入力される毎に、そのコネクションの一つ前に入力されたセルとの到着間隔を測定し、到着間隔が所定値を超えていた場合は、セルが属するコネクションのフレームを破棄するメモリ書込制御部を備えたことを特徴とする通信制御装置。

【0012】

〈構成5〉

構成1～3のいずれかに記載の通信制御装置において、同一コネクションのフレームに属する最初のセルと最終のセルとの到着間隔を測定し、到着間隔が所定値を超えていた場合は、フレームを破棄するメモリ書込制御部を備えたことを特徴とする通信制御装置。

【0013】

【発明の実施の形態】

以下、本発明の実施の形態を具体例を用いて詳細に説明する。

〈具体例1〉

〈構成〉

図1は、本発明の通信制御装置の具体例1を示す構成図である。

図の装置は、メモリ書込制御部1、フレーム組立用メモリ2、メモリ読出制御部3、領域管理レジスタ群4、完成フレーム情報キュー5からなる。

【0014】

メモリ書込制御部1は、ATMセルデータ101と領域情報109が入力され、書込アドレス103、書込データ104、書込イネーブル105および書込後領域情報更新110を出力する。

メモリ書込制御部1は、新たなコネクションのATMセルデータ101が入力

された場合は、フレーム組立用メモリ2の空いている領域に、当該コネクションを割り当ててそのセルを書き込むと共に、既にいずれかの領域に割り当てているコネクションと同一コネクションのセルが入力された場合は、既に割り当てている領域に書き込み、一方、任意のコネクションのセルが入力され、かつ、同一コネクションの領域でセルが1フレーム分書き込まれていた場合は、他の新たな領域にそのコネクションを割り当ててセルを書き込むよう制御を行う機能を有している。

【 0 0 1 5 】

図2は、メモリ書込制御部1の内部構成図である。

図示のように、メモリ書込制御部1は、ヘッダ分離部11、書込アドレス生成部12、書込データ生成部13からなる。ヘッダ分離部11は、入力されたATMセルデータ101のヘッダとペイロードを分離し、ヘッダ情報201を書込アドレス生成部12に出力し、ペイロード情報202を書込データ生成部13に出力するよう構成されている。書込アドレス生成部12は、領域情報109を入力し、その領域情報109とヘッダ分離部11から出力されたヘッダ情報201に基づいてATMセルデータ101のフレーム組立用メモリ2への書込アドレスを生成する機能を有し、書込アドレス103と、書込イネーブル105と、書込後領域情報更新110とを出力するよう構成されている。書込データ生成部13は、ヘッダ分離部11から出力されたペイロード情報202に基づいてフレーム組立用メモリ2への書込データ104を生成する機能を有している。

【 0 0 1 6 】

図1に戻って、フレーム組立用メモリ2は、メモリ書込制御部1によってATMセルが書き込まれ、1フレームの組立が完了した場合は、そのフレームをメモリ読出制御部3が読み出すためのメモリであり、その論理的な領域は、通信制御装置が取り扱うフレームのうち最大のフレーム長にしている。尚、ここでのフレーム長は、実際に取り扱うコネクションの最大フレーム長に対してある程度の余裕を持たせた長さを最大フレーム長に設定してもよい。また、領域数（領域0～領域M）は、その通信制御装置によって適宜設定される。

【 0 0 1 7 】

図3は、フレーム組立用メモリ2の構成図である。

フレーム組立用メモリ2の全領域は、取り扱うフレームの最大長（ここではNセル分）を単位とする領域に論理的に区切られており、メモリ書込制御部1は、受け取ったセルの属するコネクション別に各領域に書き込んでいくようになっている。そして、ある領域内でフレームが完成したら、そのコネクションに属する次のセルからは、新たに空いている領域を探して書き込みが行われるようになっている。

【0018】

図3の例では、先ず初期状態からコネクションAに属するセルが入力され、領域0に書き込まれる。次に、入力されたコネクションBに属するセルは領域1に、コネクションCのセルは領域2に書き込まれる。そして、再び入力されたコネクションAのセルは領域0に書き込まれることになるが、領域0内のフレームが完成した後、このフレームがフレーム組立用メモリ2から読み出される前に、更にコネクションAのセルが入力された場合は、新たな空き領域（領域3）に書き込まれるようになっている。

【0019】

再び図1に戻って、メモリ読出制御部3は、フレーム組立用メモリ2において、フレームの組立が完了したフレームを読み出すための制御部であり、完成フレーム情報キュー5で示されたフレーム順に読み出しを行うようになっている。

図4は、メモリ読出制御部3の内部構成図である。

メモリ読出制御部3は、読出アドレス生成部31と読出データ生成部32からなり、読出アドレス生成部31には、領域情報109と読出可能領域ナンバ113が入力され、これらの情報に基づいて読出アドレス106、読出イネーブル108、読出後領域情報更新111、読出完了114を出力するよう構成されている。また、読出データ生成部32は、フレーム組立用メモリ2からの読出データ107を外部にフレームデータ102として出力する機能部である。

【0020】

図1の領域管理レジスタ群4は、フレーム組立用メモリ2の各領域の管理を行うためのレジスタ群である。

図5は、領域管理レジスタ群4の内部構成図である。

図示のように、論理的に区切られたフレーム組立用メモリ2内の各領域（領域0～領域M）に対応して領域管理レジスタが存在する。各レジスタが管理している内容は、使用状態401、書込状態402、コネクションナンバ403および書込アドレス404の各情報である。

使用状態401は、当該領域が使用中か空き状態かを表す。初期状態では空き状態を示しており、書込途中および完了後（読出途中も含む）には使用中となり、読出完了後に再び空き状態に復帰する。書込状態402は当該領域が書込途中であるか書込完了状態（読出を待っている状態および読出途中の状態も含む）かを表す。コネクションナンバ403は、当該領域が書き込まれているセル（フレーム）データの属するコネクションナンバを表す。書込アドレス404は、当該領域に次のデータの書込を行う場合の開始アドレス（領域内アドレス）を表す。初期状態では“0”を示している。

【0021】

図6は、領域管理レジスタ群4における状態遷移図である。

まず、最初に初期状態（状態41）から「使用状態＝空き」の状態42に遷移する。次に当該領域に書込が発生した場合、つまりあるフレームを形成する先頭セルデータが書き込まれた場合（条件411）に状態43「使用状態＝使用中、書込状態＝書込中」に遷移する。更に当該フレームの2個目以降のセルの書込が続いている（条件413）間は、状態43に留まっている。そして当該フレームを形成する最後のセルデータが書き込まれたとき（条件414）、状態44「使用状態＝使用中、書込状態＝書込完」に遷移する。ここからは読出動作に入る。完成したフレームが読み出されている（条件415）間は状態44に留まっており、フレームが全て読み出されたら（条件416）、そこで最初の状態42「使用状態＝空き」に復帰する。また、状態43、44においてメモリ初期化コマンドが実行された場合（条件412）にはいつでも状態42に復帰する。

【0022】

図1の完成フレーム情報キュー5は、フレーム組立用メモリ2で組立が完了したフレームを順に読み出すための先入れ先出しメモリであり、領域管理レジスタ

群 4 から与えられる書込完了領域ナンバ 1 1 2 を入力し、入力された順に読出可能領域ナンバ 1 1 3 をメモリ読出制御部 3 に出力する。

【 0 0 2 3 】

図 7 は、完成フレーム情報キュー 5 の説明図である。

セルデータの書込が完了しフレームが完成した領域ナンバ（書込完了領域ナンバ 1 1 2）が入力されてくるため、それを時間順序に従いキューに貯えておく。一方、キューの先頭から順に読出可能領域ナンバ 1 1 3 として出力していき、読出が完了したらその領域ナンバはキューから削除するようになっている。

【 0 0 2 4 】

＜動作＞

次に、具体例 1 の動作について説明する。

到着した A T M セルデータ 1 0 1 はメモリ書込制御部 1 に入力される。

メモリ書込制御部 1 では、入力された A T M セルデータ 1 0 1 はヘッダ分離部 1 1 によりヘッダ情報 2 0 1 とペイロード情報 2 0 2 に分離される。

【 0 0 2 5 】

図 8 は、A T M セルフォーマットの説明図である。

A T M セルのヘッダ情報には V P I と V C I からなるコネクションナンバが含まれており、メモリ書込制御部 1 はこのコネクションナンバに基づいてフレーム組立用メモリ 2 の領域を設定する。

【 0 0 2 6 】

ヘッダ分離部 1 1 で分離されたヘッダ情報 2 0 1（実際に必要なのはヘッダ情報の中のコネクションナンバ）は書込アドレス生成部 1 2 に入力される。書込アドレス生成部 1 2 には、領域管理レジスタ群 4 からの領域情報 1 0 9 も入力されており、書込アドレス生成部 1 2 はこれら入力信号を基にして、書込アドレス 1 0 3、書込イネーブル 1 0 5 および書込後領域情報更新 1 1 0 を生成する。

【 0 0 2 7 】

図 9 は、書込アドレス生成を示すフローチャートである。

尚、書込アドレスは上位と下位に分かれており、上位は各領域ナンバに対応し下位はその領域内でのアドレスに対応する。

先ず、メモリ書込制御部1は、ヘッダ情報入力があるまで待機している（ステップS100）。ヘッダ情報が入力されると領域情報109により書込中の領域が存在するか否かを調べる（ステップS101）。このステップS101において、もし存在した場合には（複数存在する場合もある）ステップS102に進み、その領域に書き込まれつつあるフレームの属するコネクションナンバの中で、ヘッダ情報201のものと一致するものがあるかを調べる。もし一致するものがあった場合は、書込アドレス上位にはその領域ナンバ（を対応する物理アドレスに変換したもの）を、書込アドレス下位にはその領域管理レジスタの管理する書込アドレスを設定する（ステップS103）。

【0028】

ステップS101で存在しなかった場合およびステップS102で全て不一致だった場合は、領域情報109により空き状態の領域が存在するかを調べ（ステップS104）、もし存在しない場合は本処理は終了する。ステップS104において存在した場合は、書込アドレス上位にはその空き領域ナンバ（を対応する物理アドレスに変換したもの）を、書込アドレス下位には初期値0を設定する（ステップS105）。

【0029】

次に、書込イネーブルをアクティブにして書込を実行し（ステップS106）、その後、まだ書込データが残っているかを調べ（ステップS107）、残っていた場合は書込アドレス下位をインクリメントしてステップS106に戻る（ステップS108）。以下、全データの書込が終了するまでこれを繰り返し、ステップS107で書込データが終了したと判定した場合は、本処理を終了する。

【0030】

また、一連の書込動作の終了後に、図6に示した状態遷移に従いその領域管理レジスタの更新作業を行う（書込後領域情報更新110）。この際、書込を行ったセルがフレームの最終セルか否かはセルヘッダ領域の情報により判断する。一例としてAAL5プロトコル処理（ITU-T I363.5参照）の場合には、当該セルがフレームの最終セルか否かの判断に、図8に示したA UU（ATM User-to-User indication）の情報を利用している。

【 0 0 3 1 】

一方、図 2 のヘッダ分離部 1 1 で分離されたペイロード情報 2 0 2 は書込データ生成部 1 3 により、書込アドレス 1 0 3 および書込イネーブル 1 0 5 にタイミングを合わせて書込データ 1 0 4 として出力される。以上、書込アドレス 1 0 3、書込データ 1 0 4 および書込イネーブル 1 0 5 により、フレーム組立用メモリ 2 への書込が実現される。

【 0 0 3 2 】

また、領域管理レジスタ群 4 はメモリ書込制御部 1 より書込後の領域管理情報の更新を受け、その結果フレームが完成した場合（図 6 の状態 4 4 に遷移した場合）には、当該領域の領域ナンバを完成フレーム情報キュー 5 に書込完了領域ナンバ 1 1 2 として送る。完成フレーム情報キュー 5 では、入力されてくる書込完了領域ナンバ 1 1 2 をキューに貯えていき、最も古いものの一つだけを読出可能領域ナンバ 1 1 3 としてメモリ読出制御部 3 に送る。

【 0 0 3 3 】

メモリ読出制御部 3 では、入力された読出可能領域ナンバ 1 1 3 が読出アドレス生成部 3 1 に送られる。読出アドレス生成部 3 1 では更に領域管理レジスタ群 4 からの領域情報 1 0 9 も使用して読出アドレス 1 0 6 および読出イネーブル 1 0 8 を生成する。

【 0 0 3 4 】

図 1 0 は、読出アドレス生成のフローチャートである。

尚、読出アドレスは上位と下位に分かれており、上位は各領域ナンバに対応し下位はその領域内でのアドレスに対応する。

【 0 0 3 5 】

図 1 0 において、メモリ読出制御部 3 は、読出可能領域ナンバ 1 1 3 が入力されるまで待機している（ステップ S 1 1 0）。読出可能領域ナンバ 1 1 3 が入力されると読出アドレス上位には当該領域ナンバ（を対応する物理アドレスに変換したもの）を、読出アドレス下位には初期値 0 を設定する（ステップ S 1 1 1）。次に、読出イネーブル 1 0 8 をアクティブにして読出を実行し（ステップ S 1 1 2）、その後、全てのデータを読み出したか否かを領域管理レジスタの書込ア

ドレス 4 0 4（図 5 参照）を用いて調べる（ステップ S 1 1 3）。即ち、現在の読出アドレスが書込アドレス 4 0 4 から 1 を引いたものに一致していればこれで全てのデータを読み出したことになる。まだ読出が完了していない場合には、読出アドレス下位をインクリメントして（ステップ S 1 1 4）、ステップ S 1 1 2 に戻る。以下、全データの読出が終了するまでこれを繰り返す。

【 0 0 3 6 】

また、読出アドレス生成部 3 1 では一連の読出動作の終了後に、図 6 で示した状態遷移に従い当該領域管理レジスタの更新作業を行い（読出後領域情報更新 1 1 1）、更に完成フレーム情報キュー 5 に対して読出完了 1 1 4 を送る。

一方、フレーム組立用メモリ 2 から読み出された読出データ 1 0 7 は、読出データ生成部 3 2 により、フレームデータ 1 0 2 として出力される。

完成フレーム情報キュー 5 では、メモリ読出制御部 3 からの読出完了 1 1 4 を受けて、キューの先頭（最も古いもの）の領域ナンバを廃棄し、新たに先頭になった領域ナンバを読出可能領域ナンバ 1 1 3 として、メモリ読出制御部 3 に出力する。

【 0 0 3 7 】

〈効果〉

以上のように、具体例 1 によれば次のような効果がある。

①フレーム組立用メモリ 2 をコネクション対応に固定的に割り当てないことにより、局所的な時間幅でみた場合に、各コネクションナンバ毎のメモリ占有割合に大きな偏り（例えば、メモリ容量の 5 0 % をある一つのコネクションで占有する等）が生じることを許容する。これにより、複数コネクションを取り扱う A T M システムの特徴の一つである統計多重効果を活かして、限られたリソースであるメモリを最大限効率的に使用することができる。

【 0 0 3 8 】

②フレーム組立用メモリ 2 をコネクション対応に固定的に割り当てないことにより、取り扱うコネクションナンバの範囲に制約を設ける必要がなくなり、システム設計の上で自由度を増やすことができる。

【 0 0 3 9 】

③フレーム組立用メモリ2をコネクション対応に固定的に割り当てないことにより、コネクションナンバを装置内部だけのローカルなIDに変換したりする必要がなくなり、そのための回路や変換テーブルを持たなくて済む。

【0040】

④フレーム組立用メモリ2を論理的に最大フレーム長単位に区切って使用することにより、セル長単位で区切った場合に必要な、同一フレームに属するセル間のチェーン情報（どのセルとどのセルとが繋がって一つのフレームになるかを管理している情報）等が不要となり、制御を簡素化することができる。

【0041】

⑤FIFO構造を持った完成フレーム情報キュー5を用いているため、容易に各フレーム間の時間順序を維持したまま出力することができる。

【0042】

《具体例2》

具体例2は、具体例1の構成に加えて、フレーム組立用メモリ2へのセルデータの格納毎に、格納されているデータの正当性演算を行うようにしたものである。尚、具体例2では正当性演算としてCRC演算を例に挙げて説明している。

【0043】

〈構成〉

図11は、具体例2の構成図である。

具体例2の通信制御装置において、具体例1と異なるのは、メモリ書込制御部1aと領域管理レジスタ群4aの構成であり、それに伴い追加された信号はメモリ書込制御部1aから出力されるCRC演算途中結果更新115およびCRCエラー117、領域管理レジスタ群4aから出力されるCRC演算途中結果116である。CRC演算途中結果更新115は領域管理レジスタ群4aに入力され、CRC演算途中結果116はメモリ書込制御部1aに入力される。

【0044】

図12は、メモリ書込制御部1aの内部構成図である。

具体例1のメモリ書込制御部1との違いは、CRC演算処理部14が追加されたことである。CRC演算処理部14には書込アドレス103、ペイロード情報

2 0 2 および C R C 演算途中結果 1 1 6 が入力され、C R C 演算途中結果更新 1 1 5 および C R C エラー 1 1 7 が出力される。C R C エラー 1 1 7 は警報として外部に通知される他に、書込アドレス生成部 1 2 にも入力される。即ち、具体例 2 のメモリ書込制御部 1 a は、同一コネクションのセルが入力される毎に、そのコネクションの 1 フレームのうち、入力されたセルまでのデータの C R C 演算を行い、1 フレーム分セルが書き込まれた時点で、最後のセルまでのデータの C R C 演算結果に誤りがあった場合は、当該フレームを破棄するように構成されている。

【 0 0 4 5 】

図 1 3 は、領域管理レジスタ群 4 a の内部構成図である。

具体例 1 の領域管理レジスタ群 4 との違いは C R C 演算途中結果 4 0 5 が追加されたことである。この C R C 演算途中結果 4 0 5 は、その時点で当該領域に格納されているセルデータの C R C 演算結果を示すものである。

【 0 0 4 6 】

これらの図において、他の各構成は具体例 1 と同様であるため、対応する部分に同一符号を付してその説明を省略する。

【 0 0 4 7 】

<動作>

具体例 2 の動作を具体例 1 とは異なる点を中心に説明する。

例えば、A A L 5 プロトコル処理（I T U - T I 363.5 参照）においては、フレーム最後尾に各種制御情報を格納するためのトレーラを備えている。

【 0 0 4 8 】

図 1 4 は、A A L 5 プロトコルのフレームフォーマットの説明図である。

トレーラ内には C R C フィールドがあり、送信側において当該フィールド以外の部分に対して C R C 演算を行った結果がそこに格納されている。対する受信側のフレーム組立処理部では、A T M セルからフレームを組み立てたときに同様の範囲に対して C R C 演算を行い、その結果を C R C フィールドの値と比較することによりフレームデータの正当性を保証している。具体例 2 では、以上のような処理を前提としている。

【 0 0 4 9 】

メモリ書込制御部 1 a の CRC 演算処理部 1 4 (図 1 2 参照) は、ヘッダ分離部 1 1 により分離されたペイロード情報 2 0 2 に対し、書込アドレス 1 0 3 に対応する領域管理レジスタに記憶されている前回までの途中結果 (CRC 演算途中結果 1 1 6) を用いて CRC 演算を続行する。その結果はまた CRC 演算途中結果更新 1 1 5 により領域管理レジスタに記憶しておく。

【 0 0 5 0 】

以下、同様に CRC 演算を行っていき、フレームの最終セルに対しては CRC 演算が完了した後にトレーラ内の値との比較を行い、誤りがあった場合には CRC エラー 1 1 7 を出力すると同時に、書込アドレス生成部 1 2 の書込後領域情報更新 1 1 0 により当該フレームを廃棄する。具体的なフレーム廃棄は次の通りである。

【 0 0 5 1 】

図 1 5 は、領域管理レジスタ群 4 a の状態遷移図である。

具体例 2 の状態遷移において、具体例 1 と異なるのは、条件 4 1 4 が無くなり、条件 4 1 7 および条件 4 1 8 が追加されたことである。即ち、状態 4 3 において、フレームの最終セルが到着した場合に、CRC 演算結果が正常ならば具体例 1 と同様に状態 4 4 に遷移するが、演算結果に異常がある場合は初期の状態 4 2 に戻り、これにより当該フレームデータの廃棄を実現している。

【 0 0 5 2 】

以上、具体例 2 の構成および動作について、AAL 5 プロトコル処理を例に挙げ、フレームに対する CRC 演算に特定して説明したが、このような演算に限定されるものではなく、それに類したその他のデータの正当性の論理演算 (例えばパリティ演算) についても同様の構成および動作により実現することが可能である。

【 0 0 5 3 】

〈効果〉

以上のように具体例 2 によれば、具体例 1 の効果に加えて次のような効果がある。

①具体例で挙げた AAL5 プロトコルのように、フレーム全体に対する CRC 演算あるいはそれに類した論理演算（例えばパリティ演算）を行う必要がある場合に、その演算を到着したセル単位で事前に行っておくことにより、フレームの最終セルが到着したらすぐに演算が完了でき、その結果に対応した処理を速やかに行うことができる。

【0054】

②CRC 演算異常時あるいはそれに類した論理演算異常（例えば、パリティ異常）発生時には、領域管理レジスタを初期状態に戻すことにより容易にそのフレームデータの廃棄を実現することができる。

【0055】

《具体例 3》

具体例 3 は、ATM セルのヘッダに対する論理演算を行うようにしたものである。即ち、具体例 2 は AAL レイヤの処理であって、セルのペイロードに対する論理演算を行うのに対し、具体例 3 では、ATM レイヤの処理に関し、セルのヘッダ（内の特定ビット）に対する論理演算を行うようにしたものである。尚、具体例 3 では演算例として、セルの LP (Loss Priority: セル損失優先) ビットの OR 演算を例に挙げて説明している。

【0056】

〈構成〉

図 16 は、具体例 3 の構成図である。

具体例 3 の通信制御装置において、具体例 1 と異なるのは、メモリ書込制御部 1b と領域管理レジスタ群 4b の構成であり、それに伴い追加された信号はメモリ書込制御部 1b から出力される LP ビット OR 更新 118 および LP ビット OR 通知 120、領域管理レジスタ群 4b から出力される LP ビット OR 119 である。LP ビット OR 更新 118 は領域管理レジスタ群 4b に入力され、LP ビット OR 119 はメモリ書込制御部 1b に入力される。

【0057】

図 17 は、メモリ書込制御部 1b の内部構成図である。

具体例 1 のメモリ書込制御部 1 との違いは、LP ビット OR 処理部 15 が追加

されたことである。LPビットOR処理部15には書込アドレス103、ヘッダ情報201およびLPビットOR119が入力され、LPビットOR更新118およびLPビットOR通知120が出力される。即ち、具体例3のメモリ書込制御部1bは、フレームを構成する各セル毎の情報の論理演算結果に基づいてそのフレームの論理演算結果が決定される場合に、同一コネクションのセルが入力される毎に、そのコネクションの1フレームのうち入力されたセルまでのデータの論理演算を行い、1フレーム分セルが書き込まれた時点で、最後のセルまでの論理演算結果を出力するよう構成されている。

【0058】

図18は、領域管理レジスタ群4bの内部構成図である。

具体例1の領域管理レジスタ群4との違いはLPビットOR406が追加されたことである。このLPビットOR406は、その時点で当該領域に格納されている全てのセルデータLPビットのOR演算結果を示すものである。

【0059】

これらの図においても、他の各構成は具体例1と同様であるため、対応する部分に同一符号を付してその説明を省略する。

【0060】

〈動作〉

具体例3の動作を具体例1とは異なる点に中心に説明する。

例えば、AAL5プロトコル処理（ITU-T I363.5参照）においては、あるフレームを構成する全てのATMセルのヘッダ内のLPビット（図8のLPビット）のORを取り、それを当該フレームに対するLPビットと定義している。

【0061】

図19は、AAL5プロトコルのフレームのLPビットの説明図である。

図示のように、AAL5フレームでは、このフレームを構成する全てのATMセルのLPビットのORを取り、AAL5フレームのOR演算結果としている。具体例3では、以上のような処理を前提としている。

【0062】

メモリ書込制御部1bのLPビットOR処理部15（図17参照）は、ヘッダ

分離部11により分離されたヘッダ情報201内のLPビットに対し、書込アドレス103に対応する領域管理レジスタに記憶されている前セルまでのLPのOR情報(LPビットOR119)を取り、その結果はまたLPビットOR更新118により領域管理レジスタに記憶しておく。

以下、同様にフレームを構成する全セルのLPビットのOR処理を行っていき、最後にその結果を当該フレームに対するLPビットOR通知120として出力する。

【0063】

以上、具体例3の構成および動作について、AAL5プロトコル処理を例に挙げ、ATMセルヘッダ内のLPビットのOR演算に特定して説明したが、このような演算に限定されるものではなく、セルヘッダ内の他の情報やOR演算以外の論理演算（例えば、全てのセルのAND演算を行う等）についても同様の構成および動作により実現することが可能である。

【0064】

〈効果〉

以上のように具体例3によれば、具体例1の効果に加えて次のような効果がある。即ち、具体例3中で挙げたAAL5プロトコルのように、フレームを構成する全ATMセルヘッダに含まれるLPビットあるいは他の情報に対し、OR処理あるいはその他演算処理を行う必要がある場合に、その演算を到着したセル単位で事前に行っていくことにより、フレームの最終セルが到着したらすぐに演算を完了することができ、その結果に対応した処理を速やかに行うことができる。

【0065】

《具体例4》

具体例4は、各セルの到着間隔または1フレーム分のセルの到着時間が所定値以内であるかを判定し、タイムアウトであった場合は、そのフレームを廃棄するようにしたものである。

【0066】

〈構成〉

図20は、具体例4の構成図である。

具体例 4 の通信制御装置において、具体例 1 と異なるのは、メモリ書込制御部 1 c と領域管理レジスタ群 4 c の構成であり、それに伴い追加された信号はメモリ書込制御部 1 c から出力される時刻情報更新 1 2 1 およびタイムアウトエラー 1 2 3、メモリ書込制御部 1 c に入力される基準時刻 1 2 4、領域管理レジスタ群 4 c から出力される時刻情報 1 2 2 である。時刻情報更新 1 2 1 は領域管理レジスタ群 4 c に入力され、時刻情報 1 2 2 はメモリ書込制御部 1 c に入力される。

【 0 0 6 7 】

図 2 1 は、メモリ書込制御部 1 c の内部構成図である。

具体例 1 のメモリ書込制御部 1 との違いは、タイマ処理部 1 6 が追加されたことである。タイマ処理部 1 6 には書込アドレス 1 0 3、A T M セルデータ 1 0 1、時刻情報 1 2 2 および基準時刻 1 2 4 が入力され、時刻情報更新 1 2 1 およびタイムアウトエラー 1 2 3 が出力される。タイムアウトエラー 1 2 3 は警報として外部に通知される他に、書込アドレス生成部 1 2 にも入力される。即ち、具体例 4 のメモリ書込制御部 1 c は、同一コネクションのセルが入力される毎に、そのコネクションの一つ前に入力されたセルとの到着間隔を測定し、この到着間隔が所定値を超えていた場合は、セルが属するコネクションのフレームを破棄するようよう構成されている。

【 0 0 6 8 】

図 2 2 は、領域管理レジスタ群 4 c の内部構成図である。

具体例 1 の領域管理レジスタ群 4 との違いは時刻情報 4 0 7 が追加されたことである。この時刻情報 4 0 7 は、一つ前に入力されたセルの到着時刻を示す情報である。

【 0 0 6 9 】

これらの図において、他の各構成は具体例 1 と同様であるため、対応する部分に同一符号を付してその説明を省略する。

【 0 0 7 0 】

<動作>

具体例 4 の動作を具体例 1 とは異なる点に中心に説明する。

例えば、AAL5プロトコル処理（ITU-T I363.5参照）においては、フレームを構成する（同一コネクションナンバに属する）ATMセルの到着間隔を計測し、それが規定値を超えた場合にはタイムアウトが発生したものとして当該フレームを廃棄するという機能をオプションとして定義している。

【0071】

メモリ書込制御部1cのタイマ処理部16（図21参照）は、ATMセルデータ101によりATMセルの到着を認識し、基準時刻124によりその時刻を検出する。次に書込アドレス103に対応する領域管理レジスタに記憶されている前のセルの到着時刻（時刻情報122）との差分をとることにより前セルと現セルとの時間間隔を算出し、それが規定されている範囲内の値か否かの判定を行う。その結果、規定範囲内ならば時刻情報更新121により、当該領域管理レジスタの内容を現セルの到着時刻に更新する。一方、算出された時間間隔が規定されている範囲を超えていた場合は、タイムアウトが発生したものとしてタイムアウトエラー123を出力すると同時に、書込アドレス生成部12の書込後領域情報更新110により当該フレームを廃棄する。具体的なフレーム廃棄は次の通りである。

【0072】

図23は、領域管理レジスタ群4cの状態遷移図である。

具体例4の状態遷移において、具体例1と異なるのは、条件414が無くなり、条件419および条件420が追加されたことである。即ち、状態43において、セル到着間隔が正常ならば具体例1と同様に状態44に遷移するが、セル到着間隔に異常がある場合には初期の状態42に戻り、これにより当該フレームデータの廃棄を実現している。

【0073】

以上、具体例4の構成および動作について、AAL5プロトコル処理を例に挙げ、フレームを構成する（同一コネクションナンバに属する）各ATMセル間の到着間隔を測定する場合に特定して説明したが、フレームの先頭セルから最終セルまでのトータル時間が規定された範囲内に収まっているか否かを判定する場合についても、同様の構成および動作により実現することが可能である。この場合

、メモリ書込制御部 1 c は、同一コネクションのフレームに属する最初のセルと最終のセルとの到着間隔を測定して、この到着間隔が所定値を超えていた場合は、そのフレームを破棄する構成されることになる。即ち、メモリ書込制御部 1 c は、領域管理レジスタ群 4 c に対して時刻情報更新 1 2 1 を出力せず、該当する領域管理レジスタは最初のセルの到着時刻を保持する。そして、メモリ書込制御部 1 c は、最後のセルが到着した時点で最初のセルと最後のセルの到着時刻の差分をとり、所定値を超えているかを判断する。

【0074】

〈効果〉

以上のように具体例 4 によれば、具体例 1 の効果に加えて次のような効果がある。

①上記具体例 4 で挙げた AAL 5 プロトコルのように、フレームを構成する（同一コネクションナンバに属する）各 ATM セル間の到着間隔を計測し、あるいは、フレームの先頭セル到着から最終セル到着までのトータル時間を計測し、それが規定値を超えた場合には、タイムアウトエラーが送出するという処理が実現できる。

【0075】

②上記タイムアウトエラー発生時には、領域管理レジスタを初期状態に戻すことにより容易にそのフレームデータの廃棄を実現することができる。

【0076】

《利用形態》

以上、具体例では、AAL 5 プロトコル処理（ITU-T I 363.5 参照）を例に挙げて説明したが、このような処理に限定されるものではない。また、複数のセルを集めてフレームを構成するものであれば、ATM セルのような固定長のセル以外の、例えば可変長のセル等であっても適用可能である。

【0077】

また、上記具体例 2、3、4 を組み合わせることも可能である。

【図面の簡単な説明】

【図 1】

本発明の通信制御装置の具体例 1 を示す構成図である。

【図 2】

具体例 1 のメモリ書込制御部の内部構成図である。

【図 3】

フレーム組立用メモリの構成図である。

【図 4】

メモリ読出制御部の内部構成図である。

【図 5】

具体例 1 の領域管理レジスタ群の内部構成図である。

【図 6】

具体例 1 の領域管理レジスタ群における状態遷移図である。

【図 7】

完成フレーム情報キューの説明図である。

【図 8】

A T Mセルフフォーマットの説明図である。

【図 9】

書込アドレス生成のフローチャートである。

【図 1 0】

読出アドレス生成のフローチャートである。

【図 1 1】

具体例 2 の構成図である。

【図 1 2】

具体例 2 のメモリ書込制御部の内部構成図である。

【図 1 3】

具体例 2 の領域管理レジスタ群の内部構成図である。

【図 1 4】

A A L 5 プロトコルのフレームフォーマットの説明図である。

【図 1 5】

具体例 2 の領域管理レジスタ群の状態遷移図である。

【図 1 6】

具体例 3 の構成図である。

【図 1 7】

具体例 3 のメモリ書込制御部の内部構成図である。

【図 1 8】

具体例 3 の領域管理レジスタ群の内部構成図である。

【図 1 9】

AAL5 プロトコルのフレームの LP ビットの説明図である。

【図 2 0】

具体例 4 の構成図である。

【図 2 1】

具体例 4 のメモリ書込制御部の内部構成図である。

【図 2 2】

具体例 4 の領域管理レジスタ群の内部構成図である。

【図 2 3】

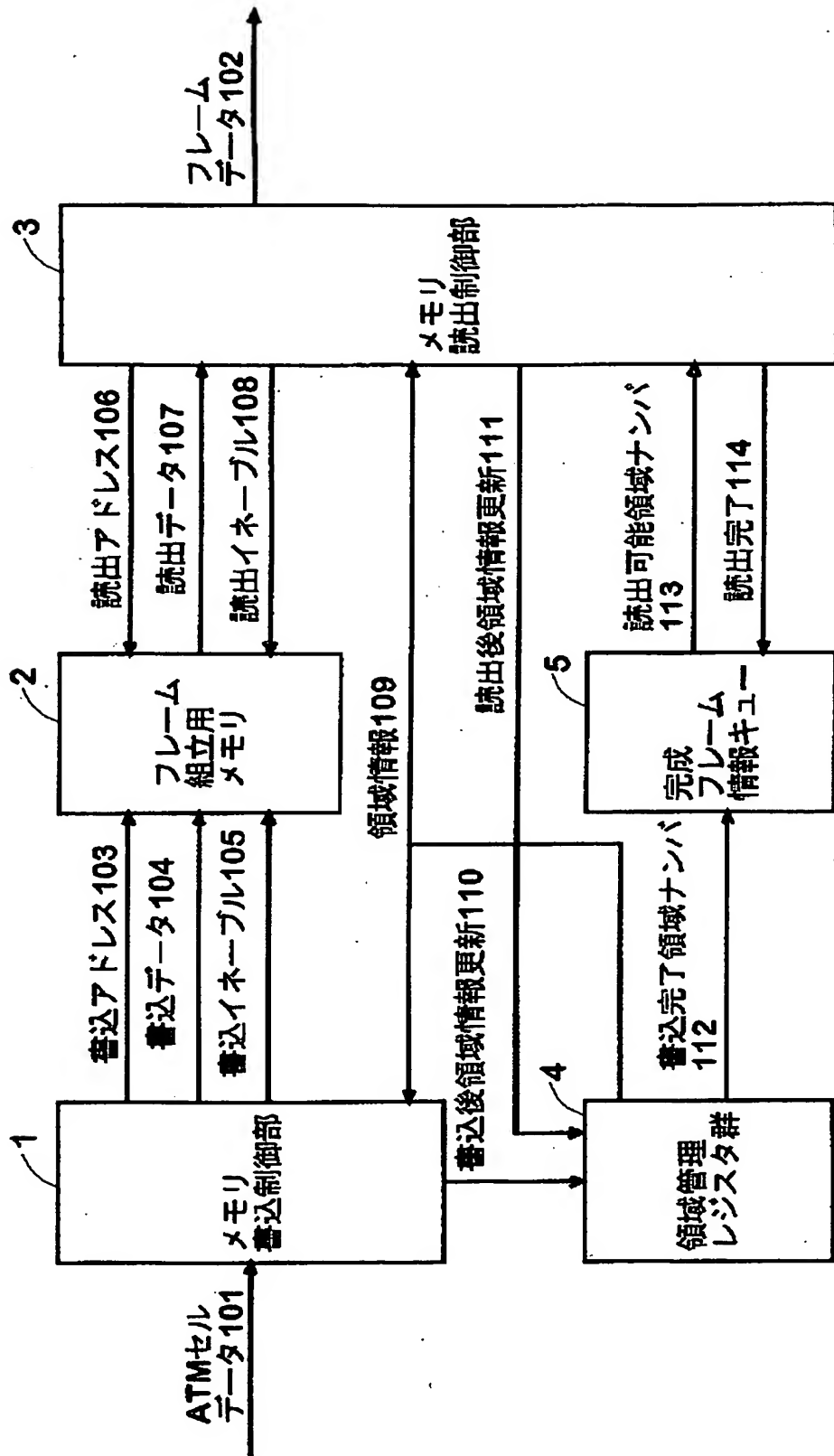
具体例 4 の領域管理レジスタ群の状態遷移図である。

【符号の説明】

- 1、1 a、1 b、1 c メモリ書込制御部
- 2 フレーム組立用メモリ
- 3 メモリ読出制御部

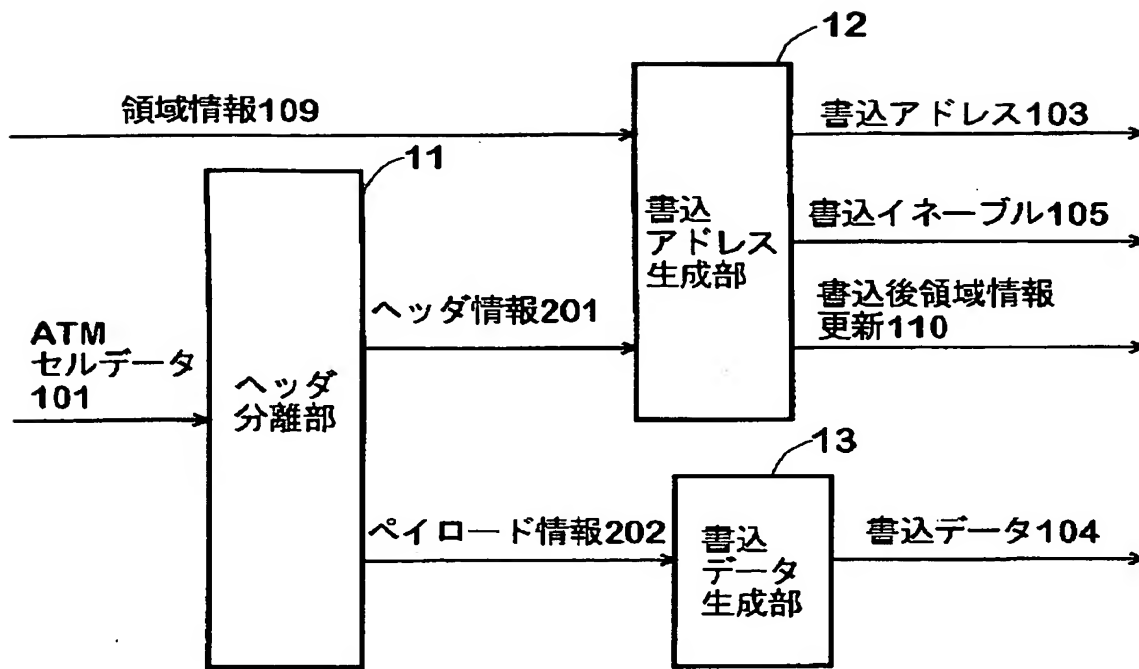
【書類名】 図面

【図 1】



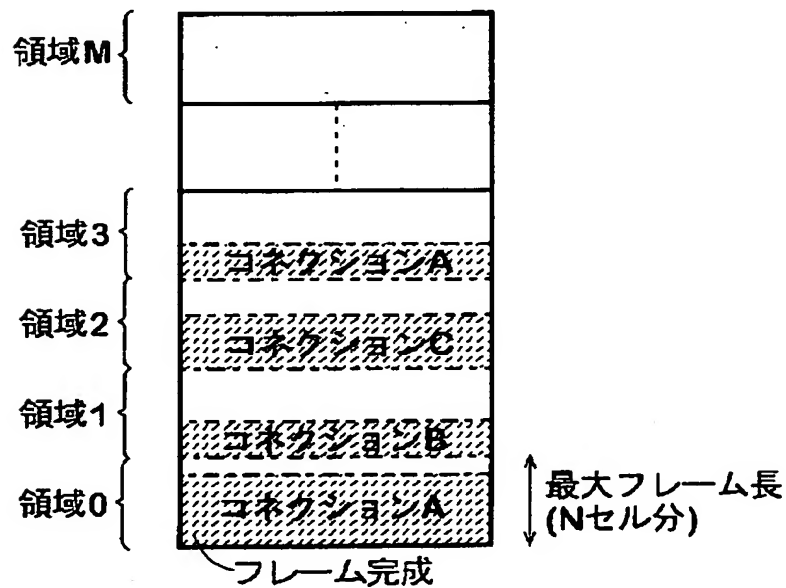
具体例1の構成図

【図2】



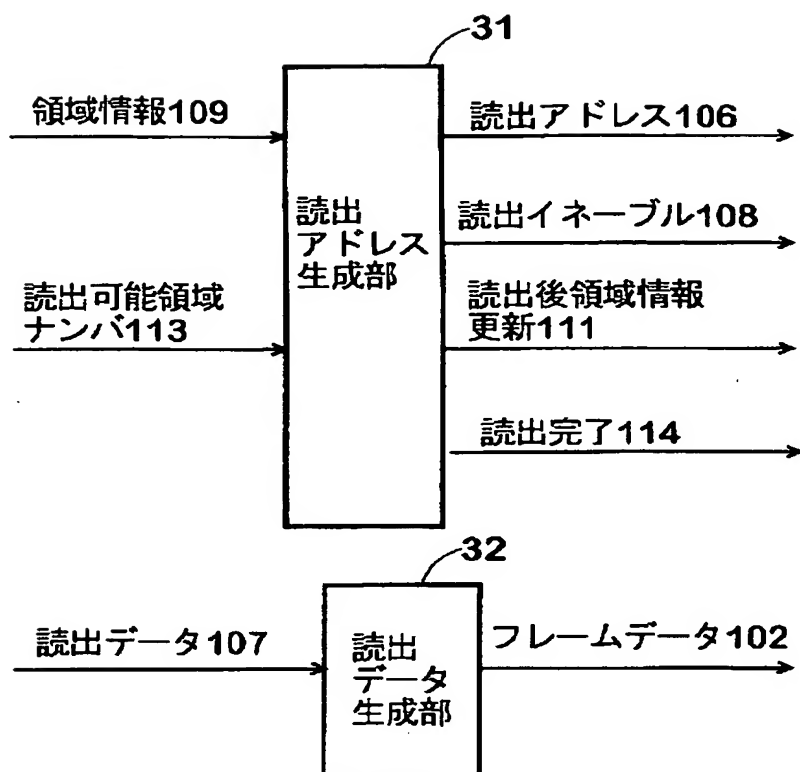
具体例1のメモリ書込制御部の内部構成図

【図3】



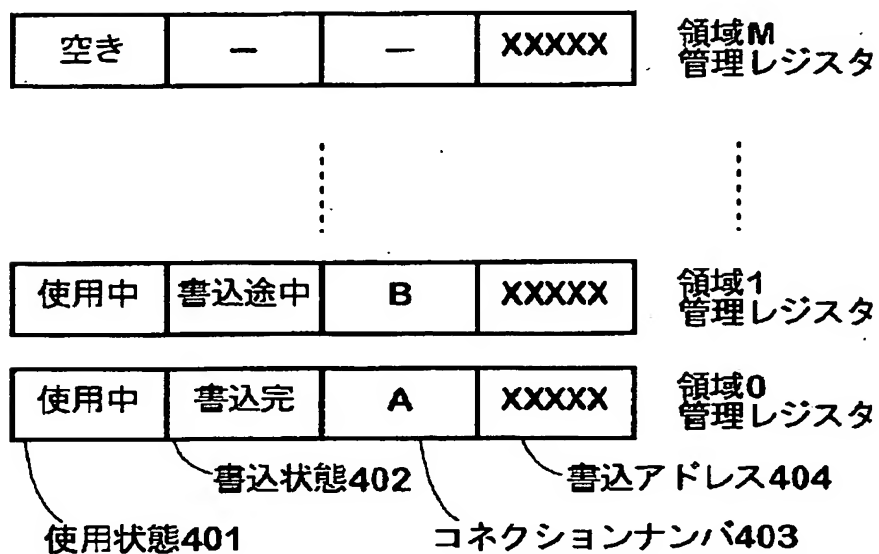
フレーム組立用メモリの構成図

【図 4】



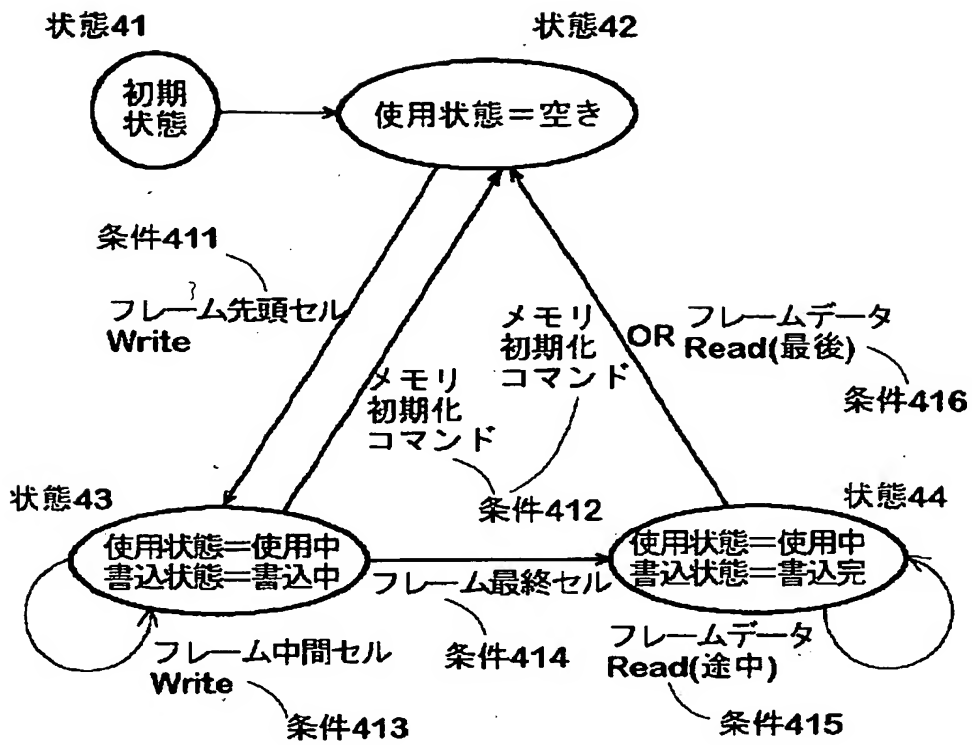
メモリ読出制御部の内部構成図

【図 5】



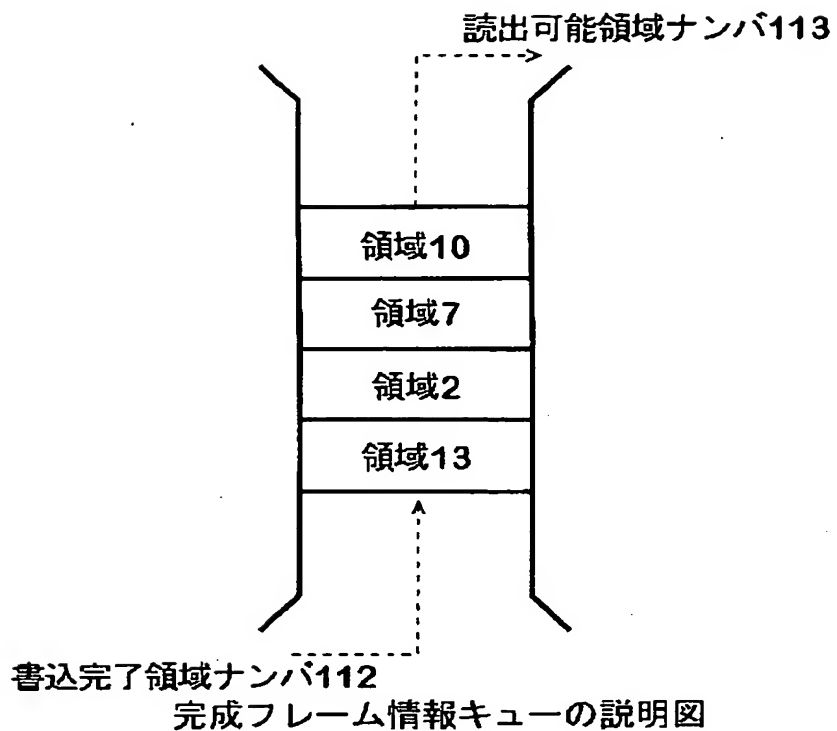
具体例 1 の領域管理レジスタ群の内部構成図

【図 6】

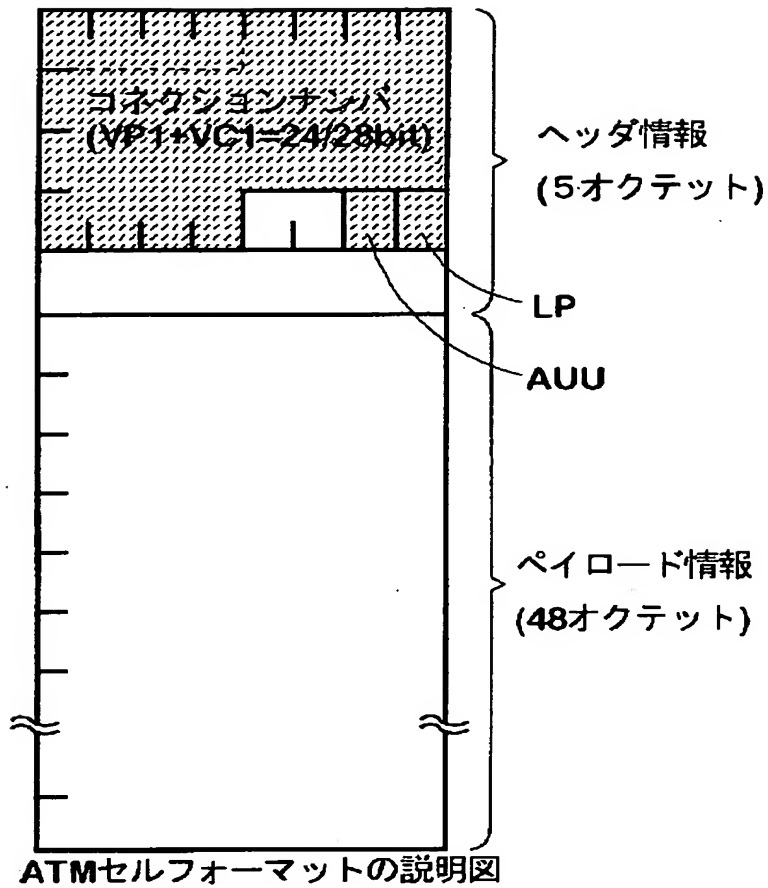


具体例 1 の領域管理レジスタ群の状態遷移図

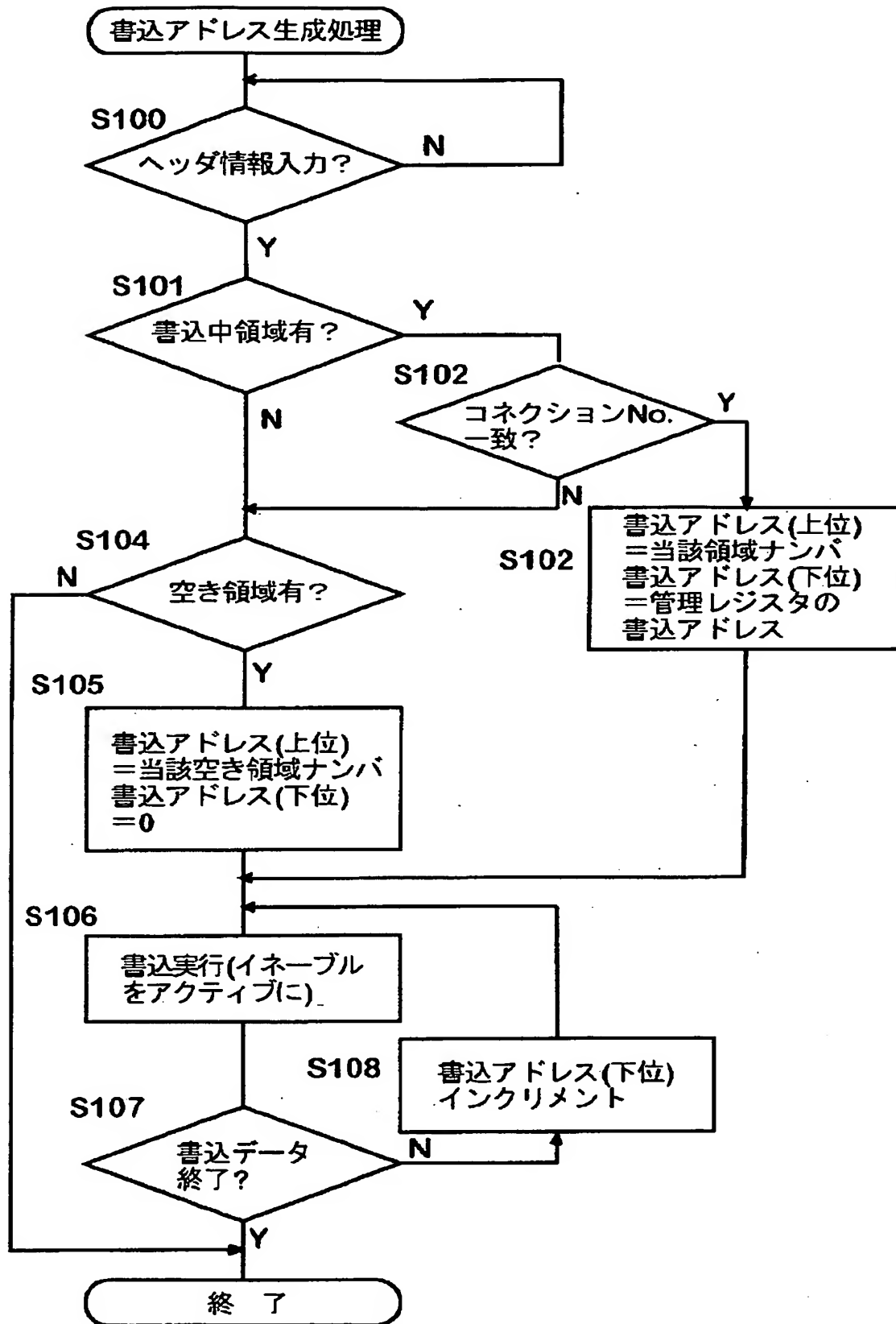
【図 7】



【図 8】

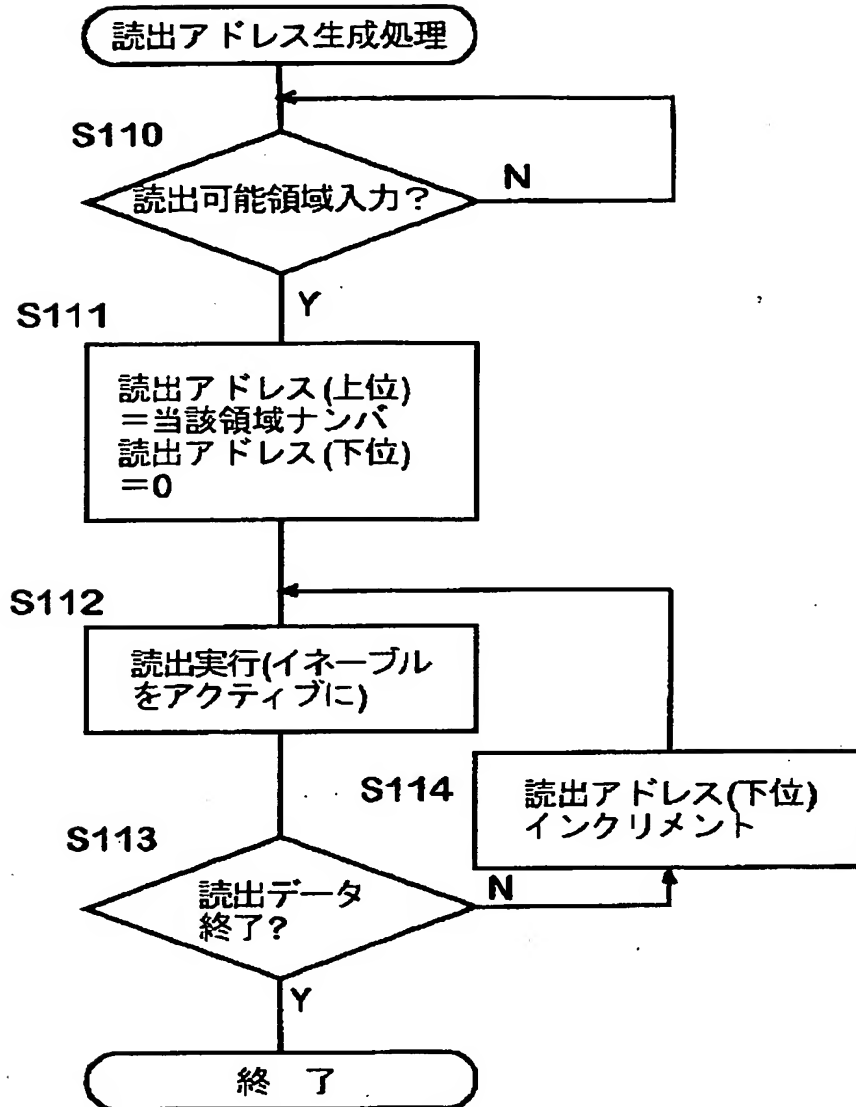


【図 9】



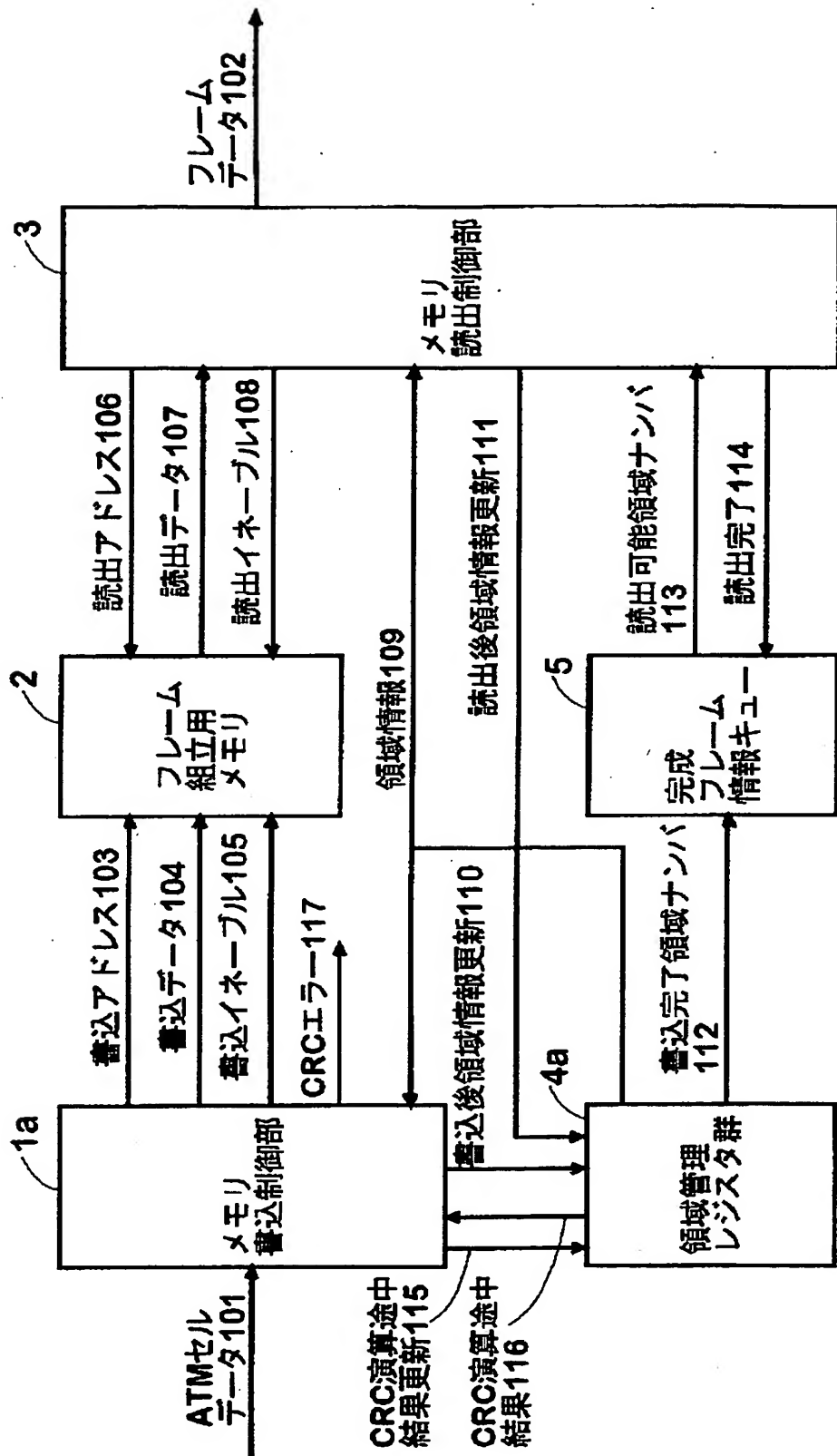
書込アドレス生成のフローチャート

【図 1 0】



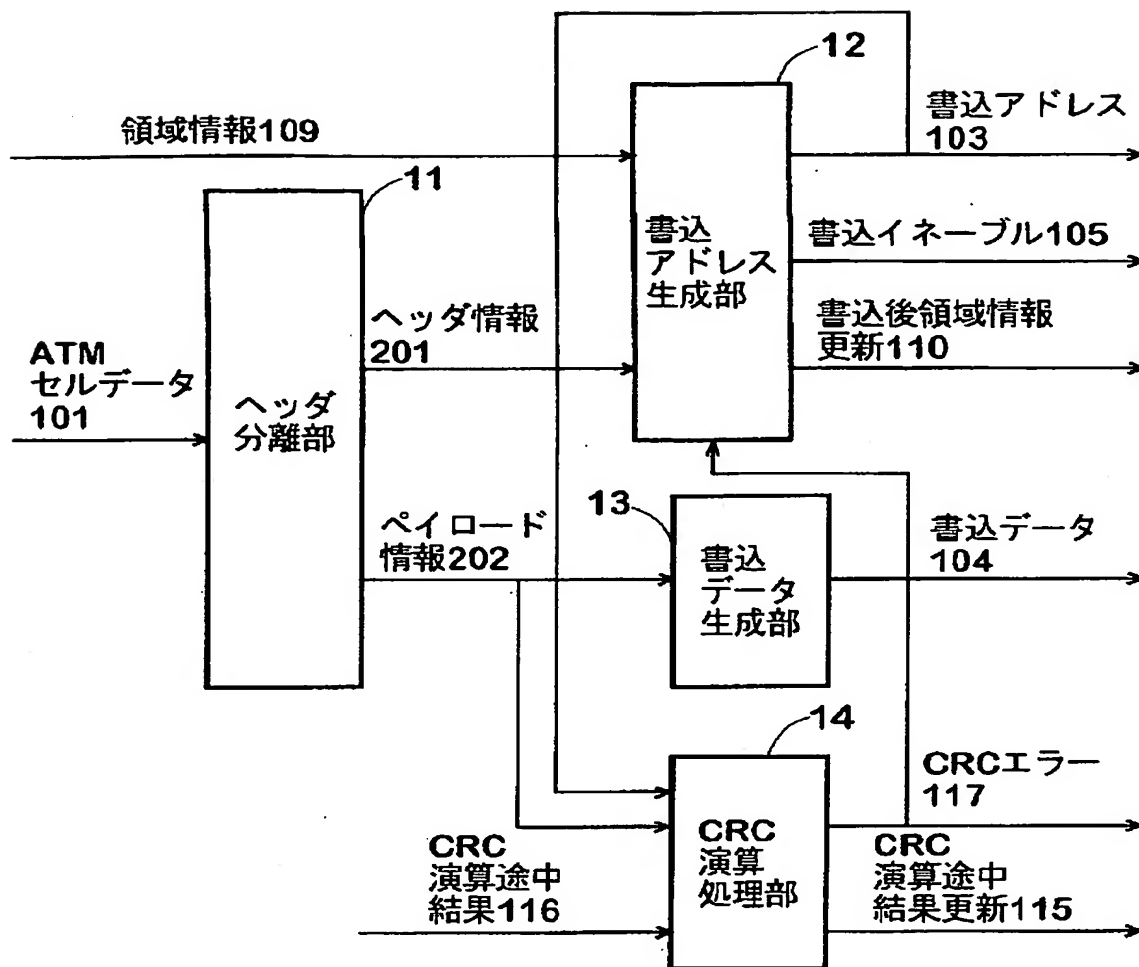
読出アドレス生成のフローチャート

【図 11】



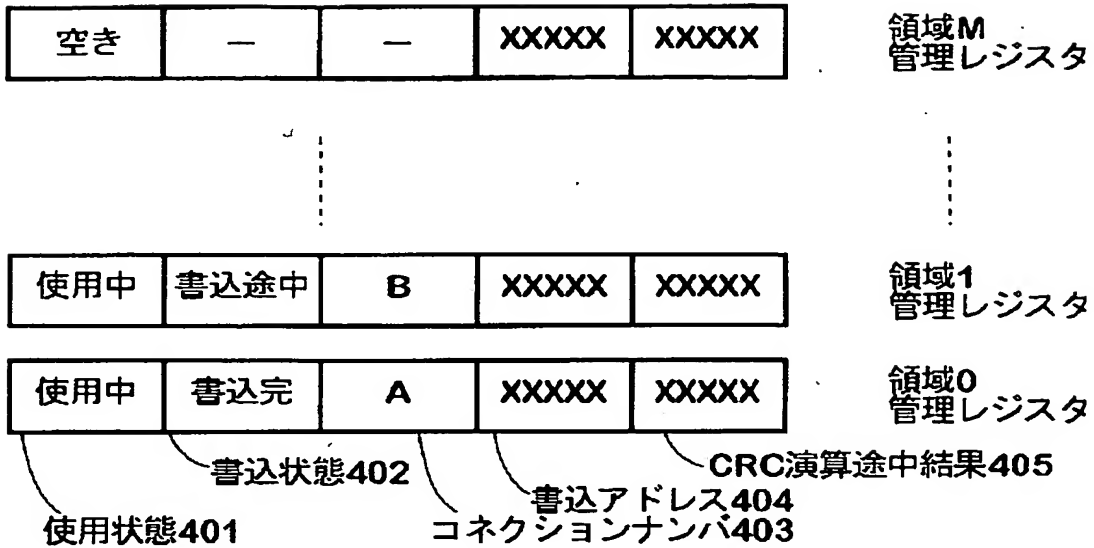
具体例2の構成図

【図 12】



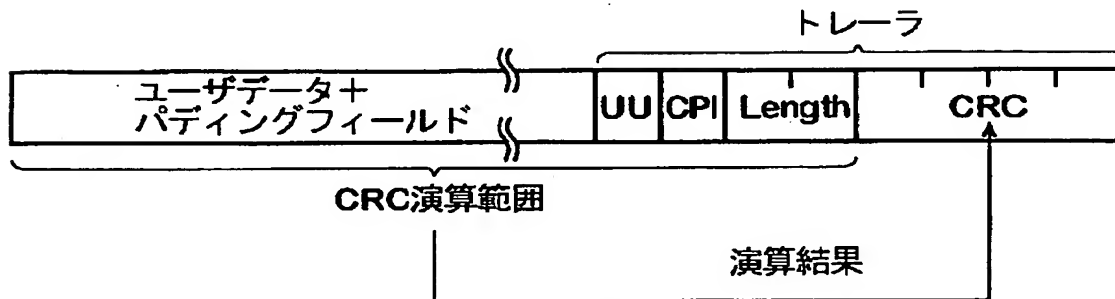
具体例 2 のメモリ書込制御部の内部構成図

【図 1 3】



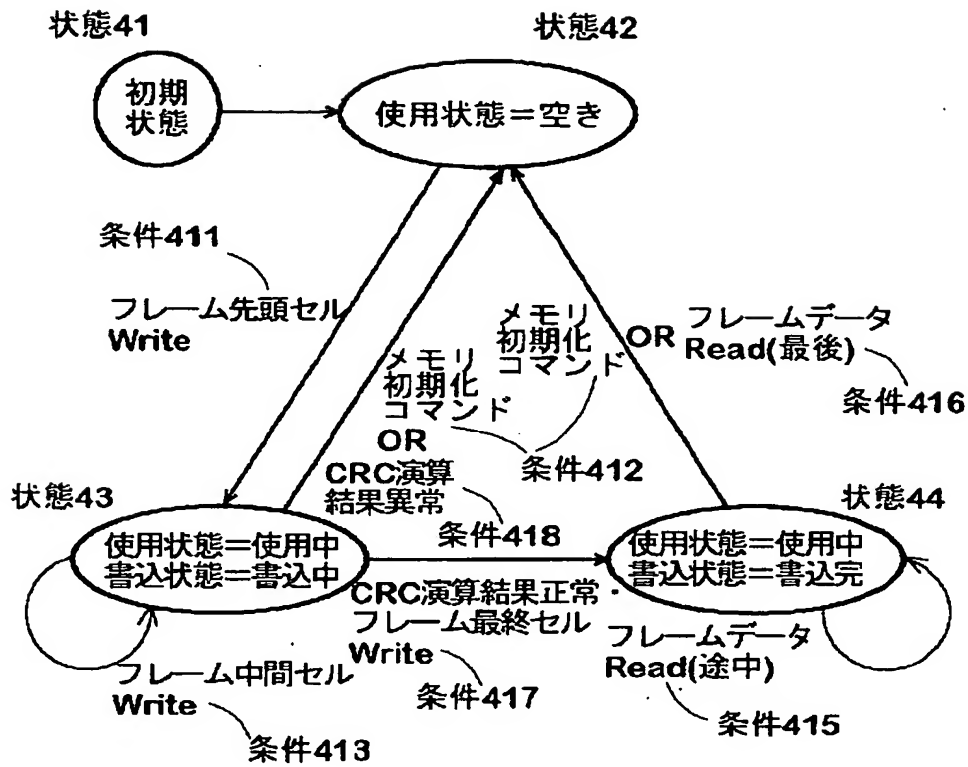
具体例 2 の領域管理レジスタ群の内部構成図

【図 1 4】



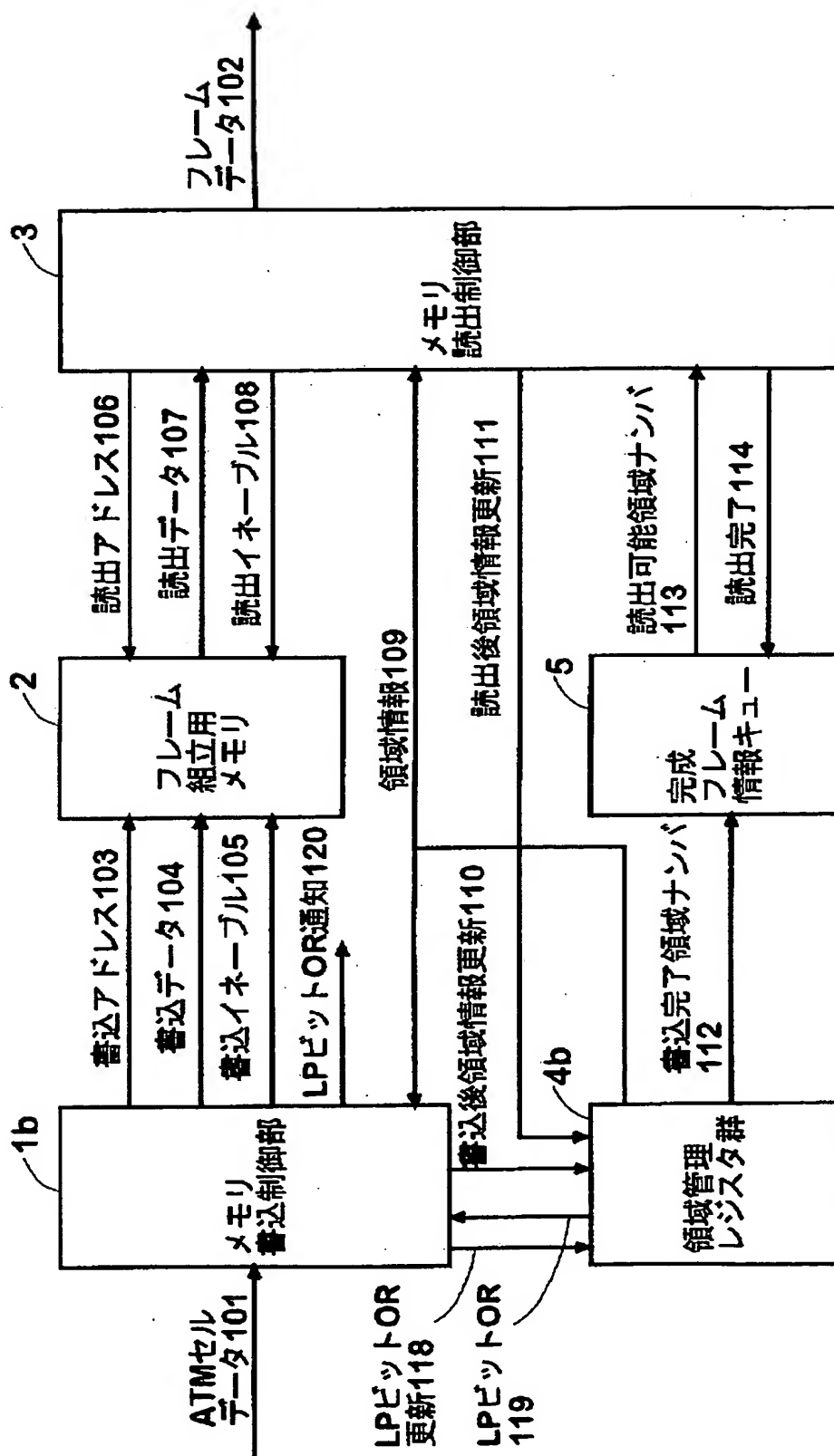
AAL5プロトコルのフレームフォーマットの説明図

【図 15】



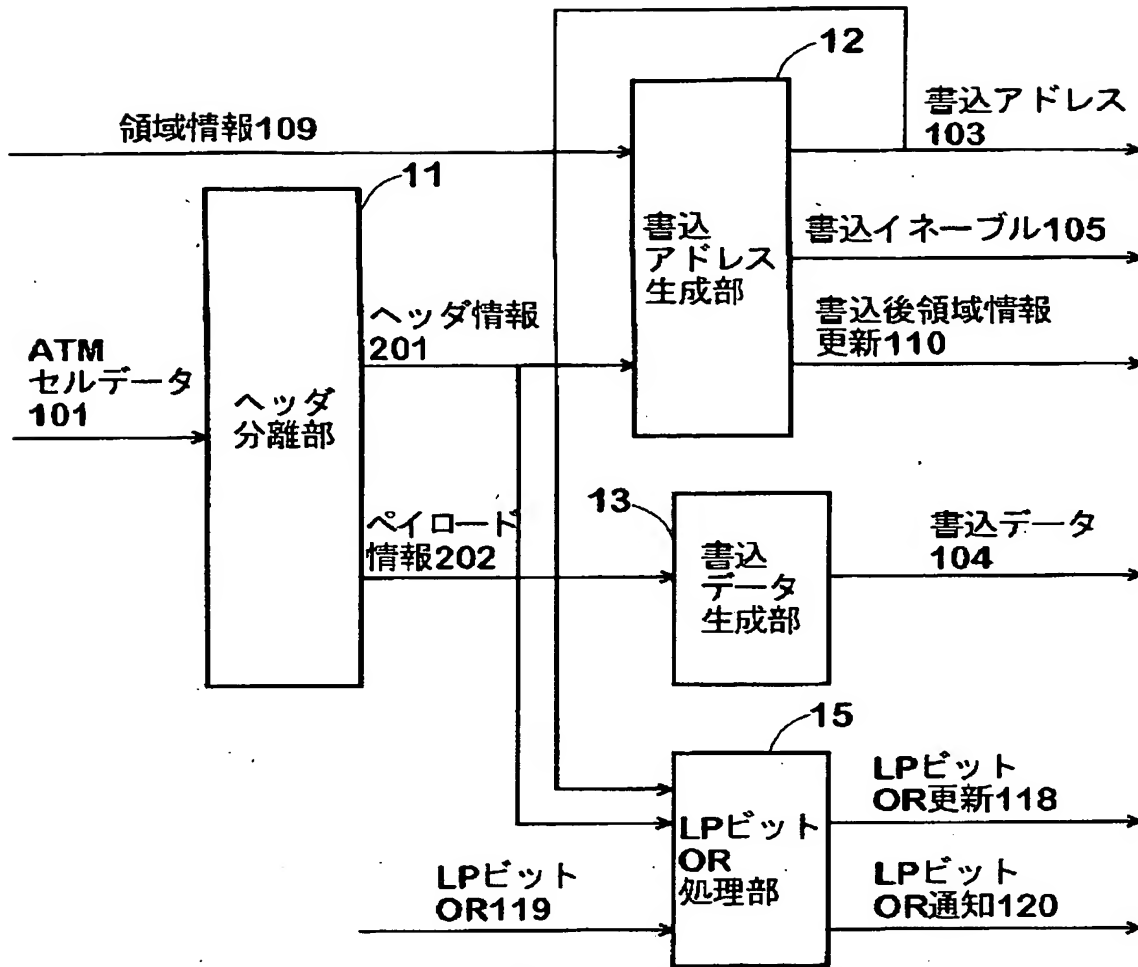
具体例2の領域管理レジスタ群の状態遷移図

【図16】



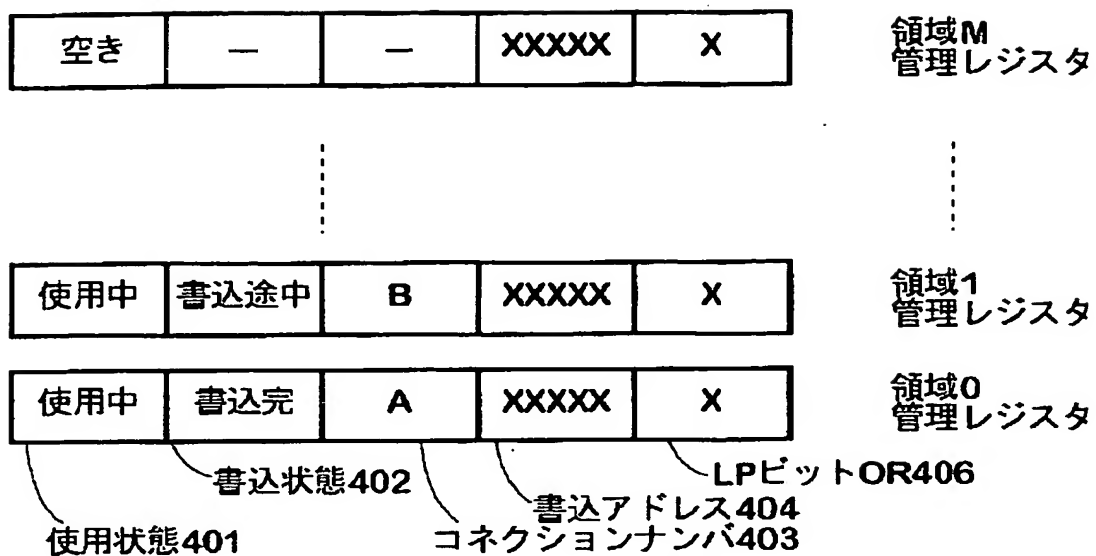
具体例3の構成図

【図17】



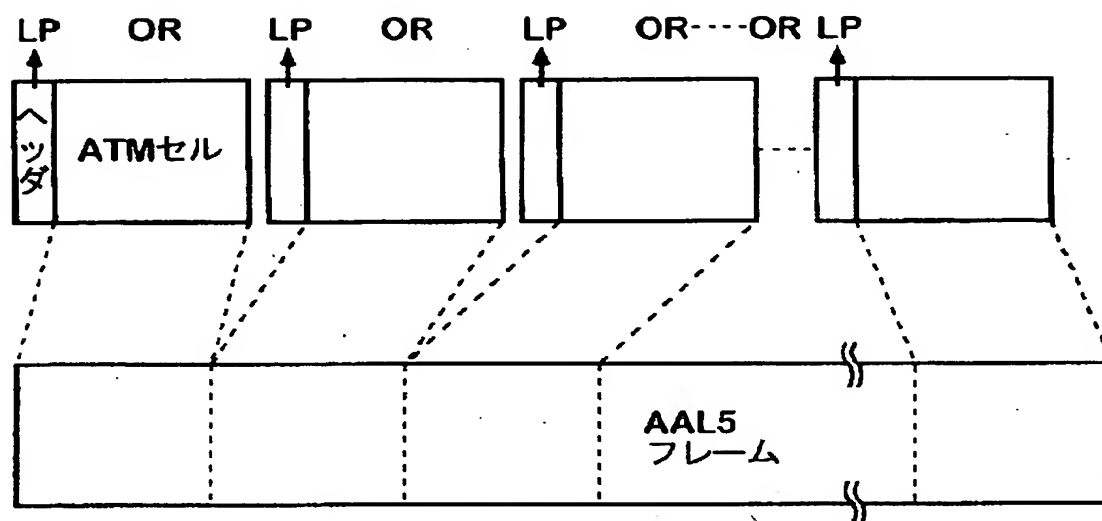
具体例3のメモリ書込制御部の内部構成図

【図18】



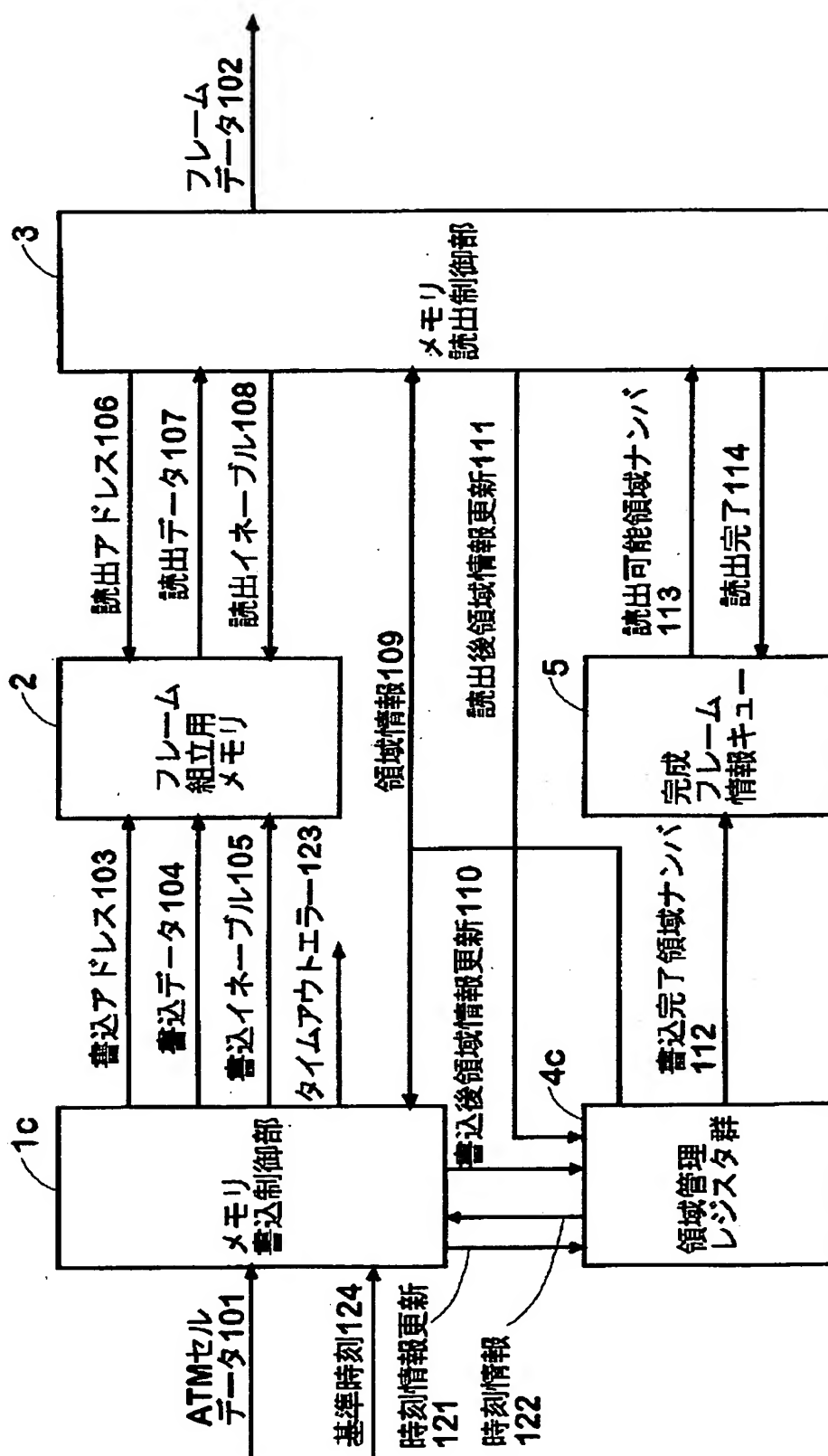
具体例3の領域管理レジスタ群の内部構成図

【図 1 9】



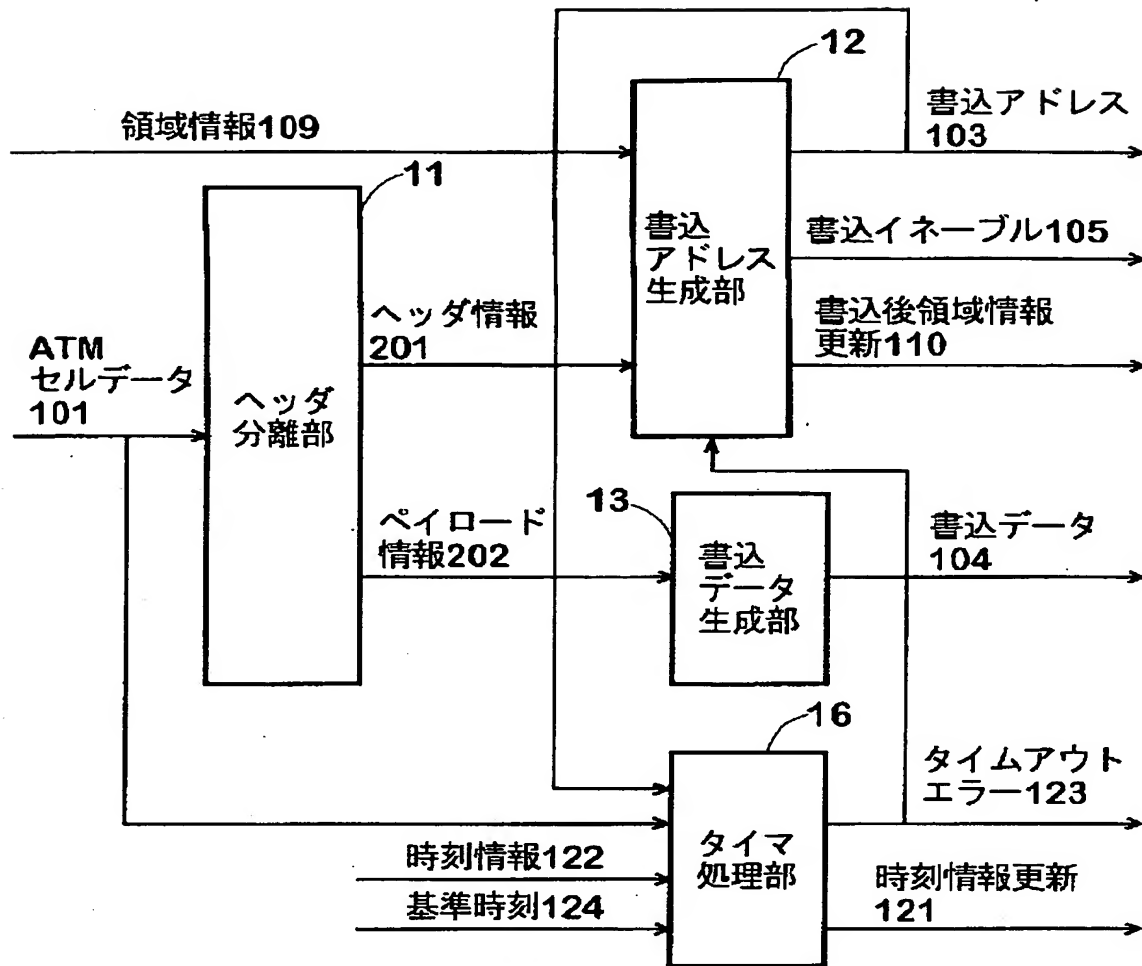
AAL5プロトコルのフレームのLPビットの説明図

【図 2.0】



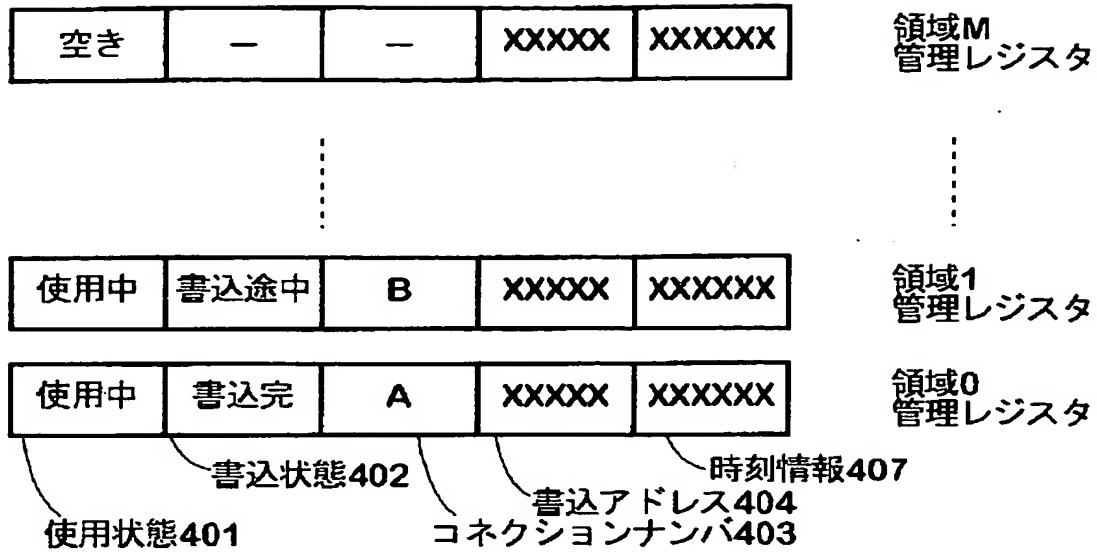
具体例4の構成図

【図 21】



具体例 4 のメモリ書込制御部の内部構成図

【図 2 2】



具体例 4 の領域管理レジスタ群の内部構成図

【書類名】 要約書

【要約】

【課題】 メモリを有効利用し、かつ、複雑なハードウェアを必要としない通信制御装置を実現する。

【解決手段】 フレーム組立用メモリ2の各々の領域を、取り扱うコネクションの最大フレーム長に設定する。メモリ書込制御部1は、新たなコネクションのセルが入力された場合は、フレーム組立用メモリ2の空いている領域に、そのコネクションを割り当ててセルを書き込む。既にいずれかの領域に割り当てているコネクションと同一コネクションのセルが入力された場合は、割り当てている領域に書き込む。任意のコネクションのセルが入力され、かつ、同一コネクションの領域でセルが1フレーム分書き込まれていた場合は、他の新たな領域にそのコネクションを割り当ててセルを書き込む。メモリ読出制御部3は、1フレーム分集まったセルを読み出し、これを完成したフレームデータとして出力する。

【選択図】 図1

特 2001-045899

認定・付加情報

特許出願の番号	特願2001-045899
受付番号	50100244560
書類名	特許願
担当官	第八担当上席 0097
作成日	平成13年 2月28日

<認定情報・付加情報>

【提出日】	平成13年 2月22日
-------	-------------

次頁無

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社